

REC'D 15 NOV 2000

WIPO

PCT

PCT/JP00/06621
09/856853
26.09.00

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JP00/06621

JKU

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 9月29日

出 願 番 号
Application Number:

平成11年特許願第277540号

出 願 人
Applicant (s):

セイコーエプソン株式会社

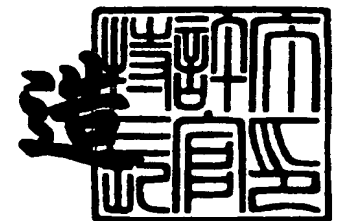
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年10月27日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3087635

【書類名】 特許願

【整理番号】 J0075191

【提出日】 平成11年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133 550

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 伊藤 昭彦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

 【代表者】 安川 英昭

【代理人】

 【識別番号】 100093388

 【弁理士】

 【氏名又は名称】 鈴木 喜三郎

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

【特許請求の範囲】

【請求項 1】 フレーム毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに従って各画素をオンオフ駆動する電気光学装置の駆動方法であって、以下の要件を充足することを特徴とする電気光学装置の駆動方法。

a. フレームを複数のサブフィールドに分け、各サブフィールド単位で各画素をオンにする電圧または各画素をオフにする電圧を各画素に印加する。

b. 1 フレーム内において画素をオンにする電圧の印加時間と画素をオフにする電圧の印加時間との比率が階調データに応じた比率となるように、各画素毎に、画素をオンにする電圧の印加を行うサブフィールドおよび画素をオフにする電圧の印加を行うサブフィールドを決定する。

c. 画素をオンにする電圧の印加を行うサブフィールドは、1 フレーム内において可能な限り離散されるようにする。

【請求項 2】 フレーム毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに従って、複数のデータ線と複数の走査線との各交差に対応して配設された各画素を駆動する電気光学装置の駆動回路であって、

1 フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示する 2 値信号を発生する手段であって、各画素毎に、1 フレーム内において当該画素をオンにする電圧の印加時間と当該画素をオフにする電圧の印加時間との比率が当該画素に対する階調データに応じた比率となり、かつ、当該画素をオンにする電圧の印加を行うサブフィールドが 1 フレーム内において可能な限り離散されるように、各サブフィールド毎に各画素に対応した前記 2 値信号を各画素に対応した階調データから生成するデータ変換回路と、

前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記走査信号が供給される間、前記データ変換回路からの 2 値信号に従って、

画素をオンまたはオフにする電圧を画素に印加するためのデータ信号を各データ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置の駆動回路。

【請求項 3】 複数の走査線と複数のデータ線との各交差に対応して配設された複数の画素を有する電気光学装置において、

1 フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示する 2 値信号を発生する手段であって、各画素毎に、1 フレーム内において当該画素をオンにする電圧の印加時間と当該画素をオフにする電圧の印加時間との比率が当該画素に対する階調データに応じた比率となり、かつ、当該画素をオンにする電圧の印加を行うサブフィールドが 1 フレーム内において可能な限り離散されるように、各サブフィールド毎に各画素に対応した前記 2 値信号を各画素に対応した階調データから生成するデータ変換回路と、

前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記走査信号が供給される間、前記データ変換回路からの 2 値信号に従って、画素をオンまたはオフにする電圧を画素に印加するためのデータ信号を各データ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置。

【請求項 4】 前記画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極間に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を前記画素電極に印加するスイッチング素子と

を具備することを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】 前記画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極間に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を記憶するメモリと、

前記メモリに記憶されたデータ信号に従って、2種類の電圧の一方を選択して前記画素電極に印加する選択回路と

を具備することを特徴とする請求項3に記載の電気光学装置。

【請求項6】 前記対向電極に印加されるレベルに応じて、前記2値信号をレベル反転する

ことを特徴とする請求項3乃至5に記載の電気光学装置。

【請求項7】 前記対向電極に印加されるレベルを一定に維持し、あるいは周期的にレベル反転させ、この対向電極に印加されるレベルを基準とし、前記画素をオンにする電圧のレベルを一定周期毎に反転する

ことを特徴とする請求項3乃至5に記載の電気光学装置。

【請求項8】 請求項3乃至7に記載の電気光学装置を表示装置として備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置並びに電子機器に関する。

【0002】

【従来の技術】

電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。

【0003】

ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT（Thin Film Transistor：薄膜トランジスタ）のようなスイ

ツチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変化することになる。このため、階調表示することが可能となるのである。

【0004】

この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第3に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0005】

【発明が解決しようとする課題】

しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

【0006】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高品質・高精細な階調表示が可能な電気光学装置、その駆動方法、その駆動

回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、第1の発明は、フレーム毎に1画面分の各画素の階調データを受け取り、これらの階調データに従って各画素をオンオフ駆動する電気光学装置の駆動方法であって、以下の要件を充足することを特徴とする電気光学装置の駆動方法を提供するものである。

- a. フレームを複数のサブフィールドに分け、各サブフィールド単位で各画素をオンにする電圧または各画素をオフにする電圧を各画素に印加する。
- b. 1フレーム内において画素をオンにする電圧の印加時間と画素をオフにする電圧の印加時間との比率が階調データに応じた比率となるように、各画素毎に、画素をオンにする電圧の印加を行うサブフィールドおよび画素をオフにする電圧の印加を行うサブフィールドを決定する。
- c. 画素をオンにする電圧の印加を行うサブフィールドは、1フレーム内において可能な限り離散されるようにする。

【0008】

この発明によれば、1フレームにおいて、画素をオン（またはオフ）にする電圧の印加期間が、当該画素の階調に応じてパルス幅変調される結果、実効値制御による階調表示が行われることになる。この際、各サブフィールドにおいては、画素のオンまたはオフを指示するだけで済むので、画素への指示信号として、2値信号（すなわち、HレベルかLレベルかしか取り得ないデジタル信号）を用いることができる。したがって、この発明では、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0009】

また、この発明によれば、画素をオンにする電圧の印加を行うサブフィールドは、1フレーム内において可能な限り離散されるので、低い周波数での透過率の周期変動をなくし、フリッカを低減することができる。

【0010】

なお、本発明において、1フレームとは、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスタ画像を形成するのに要する期間という意味合いで用いている。

【0011】

また、第2の発明は、フレーム毎に1画面分の各画素の階調データを受け取り、これらの階調データに従って、複数のデータ線と複数の走査線との各交差に対応して配設された各画素を駆動する電気光学装置の駆動回路であって、

1フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示する2値信号を発生する手段であって、各画素毎に、1フレーム内において当該画素をオンにする電圧の印加時間と当該画素をオフにする電圧の印加時間との比率が当該画素に対する階調データに応じた比率となり、かつ、当該画素をオンにする電圧の印加を行うサブフィールドが1フレーム内において可能な限り離散されるように、各サブフィールド毎に各画素に対応した前記2値信号を各画素に対応した階調データから生成するデータ変換回路と、

前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記走査信号が供給される間、前記データ変換回路からの2値信号に従って、画素をオンまたはオフにする電圧を画素に印加するためのデータ信号を各データ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置の駆動回路を提供するものである。

【0012】

この第2の発明は、上記第1の発明を電気光学装置の駆動回路として具現したものであり、上記第1の発明と同様な効果を奏する。

【0013】

第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された複数の画素を有する電気光学装置において、

1フレームを分割した複数のサブフィールドの各々において、各画素をオンにする電圧またはオフにする電圧の印加を指示する2値信号を発生する手段であっ

て、各画素毎に、1フレーム内において当該画素をオンにする電圧の印加時間と当該画素をオフにする電圧の印加時間との比率が当該画素に対する階調データに応じた比率となり、かつ、当該画素をオンにする電圧の印加を行うサブフィールドが1フレーム内において可能な限り離散されるように、各サブフィールド毎に各画素に対応した前記2値信号を各画素に対応した階調データから生成するデータ変換回路と、

前記各サブフィールド毎に、データ線から画素への電圧印加を可能にする走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記走査信号が供給される間、前記データ変換回路からの2値信号に従って、画素をオンまたはオフにする電圧を画素に印加するためのデータ信号を各データ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置を提供するものである。

【0014】

この第3の発明は、上記第1の発明を電気光学装置として具現したものであり、上記第1の発明と同様な効果を奏する。

【0015】

この第3の発明の一態様において、前記画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極間に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前記データ線を介して供給されるデータ信号を前記画素電極に印加するスイッチング素子と

を具備するものである。

【0016】

また、この発明の別の一態様において、前記画素は、

画素電極と、

前記画素電極に対向した対向電極と、

前記画素電極および対向電極間に挟持された電気光学材料と、

前記走査線を介して走査信号が与えられることにより前記データ線を介して供

給されるデータ信号を記憶するメモリと、

前記メモリに記憶されたデータ信号に従って、2種類の電圧の一方を選択して前記画素電極に印加する選択回路と

を具備するものである。

【0017】

この発明に係る電気光学装置においては、前記対向電極に印加されるレベルに応じて、前記2値信号をレベル反転するようにすることが好ましい。

【0018】

また、このように2値信号の反転を行うのではなく、対向電極に印加されるレベルを一定に維持し、あるいは周期的にレベル反転させ、この対向電極に印加されるレベルを基準として、画素をオンにする電圧のレベルを一定周期毎に反転するようにしてもよい。

【0019】

これらの場合には、画素に印加される電圧を交流化することができ、画質の劣化を防止することができる。

【0020】

この発明は、上記電気光学装置自体を単体で製造または販売する他、この電気光学装置を表示装置として備えた電子機器として製造または販売するという態様で実施することも可能である。

【0021】

【発明の実施の形態】

以下、本発明の一実施形態について図面を参照して説明する。

【0022】

＜本実施形態における電気光学装置の駆動方法＞

まず、本実施形態に係る装置の理解を容易にするため、本実施形態における電気光学装置の駆動方法について説明する。

【0023】

一般に、電気光学材料として液晶を用いた液晶装置において、液晶層に印加される電圧実効値（電圧を一定として、オン電圧のパルス幅を変化させた場合の電

圧実効値)と相対透過率(または反射率)との関係は、電圧無印加状態において黒表示を行うノーマリーブラックモードを例にとれば、図6に示すような関係にある。なお、ここでいう相対透過率とは、透過光量の最低値および最高値を、それぞれ0%および100%として正規化したものである。図6に示すように、液晶の透過率は、液晶層に対する印加電圧が閾値 V_{TH1} より小さい場合には0%であるが、印加電圧が閾値 V_{TH1} 以上であり、かつ、飽和電圧 V_{TH2} 以下である場合には、印加電圧に対して非線形に増加する。そして、印加電圧が飽和電圧 V_{TH2} 以上である場合、液晶の透過率は印加電圧によらず一定値を維持する。

【0024】

さて、液晶の透過率を0%と100%との間の中間的な透過率にするためには、図6に示す電圧／透過率特性において電圧 V_{TH1} と電圧 V_{TH2} との間にある当該透過率に対応した実効電圧を液晶層に印加する必要がある。

【0025】

従来技術の下では、このような中間階調を得るための電圧がD/A変換回路やオペアンプなどのアナログ回路によって生成され、画素電極に印加されていた。

【0026】

しかし、このような駆動方法によって画素電極に印加される電圧は、アナログ回路の特性や各種の配線抵抗などのばらつきによる影響を受けやすく、さらに、画素同士でみて不均一となり易いので、高品質かつ高精細な階調表示が困難であった。

【0027】

そこで、本実施形態に係る電気光学装置では、次のような方法により画素の駆動を行う。

【0028】

まず、1フレームを4つのフィールドに分割し、さらに各フィールドを8個のサブフィールドに分割し、各サブフィールド単位で液晶層に対する電圧印加を行う。なお、フィールドなる概念を用いる理由については後述する。

【0029】

各サブフィールドでは、液晶層に対し、透過率0%に対応した電圧（例えば図6における電圧 V_L （=0V）または透過率100%に対応した電圧（例えば図6における電圧 V_H ）を印加する。

【0030】

その際、1フレーム内において電圧 V_H が印加される時間と電圧 V_L が印加される時間との比率が階調データに応じた比率となるように、電圧 V_H の印加を行うサブフィールドおよび電圧 V_L の印加を行うサブフィールドを階調データに応じて決定する。

【0031】

このようにすることで、階調データに応じた実効電圧が液晶層に印加され、透過率0%と透過率100%の間の中間的な階調での表示が可能となる。

【0032】

さらに本実施形態では、電圧 V_H の印加を行うサブフィールドを1フレーム内において可能な限り離散させ、しかも、各フィールドごとに印加する実効電圧のフィールド間の差をできるだけ少なくするようにする。

【0033】

これは以下説明するように、フリッカを防止するためである。

【0034】

まず、仮に各フレームにおいて、階調データに応じた時間だけ連続して電圧 V_H を液晶層に印加し、その残りの期間は電圧 V_L を印加したとする。この場合、液晶層を透過する光の量がフレームと同じ周期で変化し、これがフリッカの原因となる。

【0035】

そこで、本実施形態では、複数のサブフィールドにおいて電圧 V_H の印加を行う場合に、この電圧 V_H の印加を行う各サブフィールドを1フレーム内において可能な限り離散させ、しかも、各フィールドごとに印加する実効電圧のフィールド間の差をできるだけ少なくすることにより、透過光量の低い周波数での周期的変化をなくし、フリッカを防止しているのである。

【0036】

＜電気的構成＞

図1は、本実施形態に係る電気光学装置の電気的な構成を示すブロック図である。この電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、この電気光学装置では、素子基板として半導体基板が用いられており、この素子基板に画素を駆動するトランジスタとともに、周辺駆動回路などが形成されている。図1には、この素子基板に形成された回路の構成が示されている。

【0037】

図1に示すように、素子基板上における表示領域101aには、複数本の走査線112がX（行）方向に延在して形成され、複数本のデータ線114がY（列）方向に沿って延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応して設けられて、マトリクス状に配列している。本実施形態では、説明の便宜上、走査線112の総本数をm本とし、データ線114の総本数をn本として（m、nはそれぞれ2以上の整数）、m行×n列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0038】

画素110の具体的な構成としては、例えば、図2（a）に示されるものが挙げられる。この構成では、トランジスタ（MOS型FET）116のゲートが走査線112に、ソースがデータ線114に、ドレインが画素電極118に、それぞれ接続されるとともに、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されて液晶層が形成されている。ここで、画素電極118と共通電位LCOMとの間には蓄積容量119が形成されている。この蓄積容量は、トランジスタ116を介して画素電極118に電圧が印加された後、この印加電圧を必要な時間だけほぼ一定に維持するために設けられた容量である。なお、この実施形態では、蓄積容量を画素電極と共通電位LCOMの間に形成したが、画素電極と接地電位GND間や画素電極とゲート線間等に形成しても良い。

対向電極 108 は、画素電極 118 と対向するように対向基板に一面に形成される透明電極である。

【0039】

図 2 (a) に示される構成では、トランジスタ 116 として一方のチャネル型のみが用いられている。従って、データ線 114 からトランジスタ 116 を介して画素電極 118 への充電が行われる際、画素電極 118 に対する印加電圧が、走査線 112 上の電圧よりもトランジスタ 116 の閾値電圧だけ低い電圧に達すると、トランジスタ 116 がオフ状態となり、画素電極 118 に対する充電が止まってしまう。このため、走査線 112 に対する印加電圧がデータ線 114 に対する印加電圧よりもトランジスタ 116 の閾値電圧分だけ高くない場合には、画素電極 118 に対する印加電圧をデータ線 114 上の電圧に一致させることができず、両電圧間にオフセット電圧が生じることとなる。

【0040】

これに対し、図 2 (b) に示すように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、このようなオフセット電圧を生じさせることなく、データ線 114 上の電圧を極めて少ない誤差で画素電極 118 に印加することができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1 行の画素 110 に対して走査線 112 a、112 b の 2 本が必要となる。

【0041】

図 1 において、タイミング信号生成回路 200 は、図示せぬ上位装置から供給される垂直走査信号 V_s、水平走査信号 H_s およびドットクロック信号 DCLK にしたがって、各種のタイミング信号やクロック信号などを生成する装置である。このタイミング信号生成回路 200 によって生成される信号のうち主要なものを列挙すると次の通りである。

a. 交流化信号 FR

この交流化信号 FR は、1 フレーム毎にレベル反転を繰り返すデジタル信号である。

b. 交流化駆動信号 LCOM

この交流化駆動信号 LCOM は、対向基板の対向電極 108（図 2 参照）に印加される。本実施形態において交流化駆動信号 LCOM は、VH から 0V へ、0V から VH へ、という具合に 1 フレーム毎にレベル反転を繰り返す。ただし、この交流化駆動信号 LCOM は上記交流化信号 FR に対してラッチパルス LP（後述）の 1 クロック分位相が遅れている。電圧 VH は、前掲図 6 において説明したものである。なお、説明の便宜上、この交流化駆動信号 FR のレベルに関しては、VH を単に H レベルと呼び、VL を単に L レベルと呼ぶ場合がある。

b. スタートパルス DY

このスタートパルス DY は、1 フレームを 32 分割した各サブフィールドの最初に出力されるパルス信号である。

c. クロック信号 CLY

このクロック信号 CLY は、走査側（Y 側）の水平走査期間を規定する信号である。

d. ラッチパルス LP

このラッチパルス LP は、水平走査期間の最初に出力されるパルス信号であって、クロック信号 CLY のレベル遷移（すなわち、立ち上がりおよび立ち下がり）時に出力されるものである。

e. クロック信号 CLX

このクロック信号 CLX は、いわゆるドットクロックを規定する信号である。

【0042】

以上がタイミング信号生成回路 200 によって生成される主要な信号の概要である。

【0043】

図 1 において、走査線駆動回路 130 は、いわゆる Y シフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルス DY をクロック信号 CLY にしたがって転送し、走査線 112 の各々に走査信号 G1、G2、G3、…、Gm として順次排他的に供給するものである。

【0044】

また、データ線駆動回路 140 は、ある水平走査期間において 2 値信号 Ds を

データ線 114 の本数に相当する n 個順次ラッチした後、ラッチした n 個の 2 値信号 D_s を、次の水平走査期間において、それぞれ対応するデータ線 114 にデータ信号 d_1 、 d_2 、 d_3 、…、 d_n として一斉に供給するものである。このデータ線駆動回路 140 の具体的な構成は、図 3 に示される通りである。

【0045】

図 3 に示すように、このデータ線駆動回路 140 は、X シフトレジスタ 1410 と、第 1 のラッチ回路 1420 と、第 2 のラッチ回路 1430 とから構成されている。

【0046】

ここで、X シフトレジスタ 1410 は、水平走査期間の最初に供給されるラッチパルス LP をクロック信号 CLX にしたがって転送し、ラッチ信号 S_1 、 S_2 、 S_3 、…、 S_n として順次排他的に供給するものである。

【0047】

第 1 のラッチ回路 1420 は、2 値信号 D_s をラッチ信号 S_1 、 S_2 、 S_3 、…、 S_n の立ち下がりにおいて順次ラッチするものである。

【0048】

第 2 のラッチ回路 1430 は、第 1 のラッチ回路 1420 によりラッチされた 2 値信号 D_s の各々をラッチパルス LP の立ち下がりにおいて一斉にラッチするとともに、データ線 114 の各々にデータ信号 d_1 、 d_2 、 d_3 、…、 d_n として供給するものである。本実施形態では画素をオンにするための印加電圧として例えば前掲図 6 における電圧 V_H を採用しているため、各データ信号 $d_1 \sim d_n$ の H レベルは V_H 、L レベルは $0V$ となっている。

【0049】

次に、データ変換回路 300 について説明する。本実施形態では、1 フレームを 32 個のサブフィールド $Sf_0 \sim Sf_{31}$ に分割し、これらの各サブフィールド単位で、5 ビットの階調データに対応した画素のオンオフ駆動を行い、32 階調の画像表示を行う。データ変換回路 300 は、各サブフィールドにおいて、各画素に対応した階調データから当該画素のオンオフ駆動を指示する 2 値信号 D_s を生成するものである。図 4 はこのデータ変換回路 300 の構成例を示すブロッ

ク図である。また、図5は同データ変換回路300の機能を示す真理値表である。

【0050】

図4に示すように、データ変換回路300は、駆動パターンメモリ301と、EXORゲート302とにより構成されている。

【0051】

駆動パターンメモリ301は、サブフィールド番号と階調データの各組み合わせ毎に画素のオン/オフを指定する1ビットのオンオフデータを記憶している。そして、駆動パターンメモリ301には、サブフィールド番号と階調データとがアドレスとして与えられる。

【0052】

ここで、サブフィールド番号は、1フレーム内における各サブフィールドの番号であり、「0」～「31」までのいずれかの値である。このサブフィールド番号を生成する方法に関しては各種考えられるが、例えばスタートパルスDYを計数するとともに、当該カウンタ結果を交流化信号FRのレベル遷移（立ち上がりおよび立ち下がり）によってリセットされるカウンタを設け、このカウンタから得られるカウント値をサブフィールド番号として用いてもよい。

【0053】

駆動パターンメモリ301は、このようにして得られるサブフィールド番号と階調データとの組み合わせに対応したオンオフデータを出力する。

【0054】

EXORゲート302は、この駆動パターンメモリ301から出力されるオンオフデータと交流化信号FRとの排他的論理和を演算し、2値信号Dsとして出力する。ここで、交流化信号FRは、既に説明した通り、交流化駆動信号LCOMよりLPの1クロック分早い位相でレベル反転を繰り返すデジタル信号である。

【0055】

交流化信号FRがLレベルである場合、駆動パターンメモリ301から読み出されたオンオフデータはそのまま2値信号Dsとしてデータ線駆動回路140に

出力される。これに対し、交流化信号FRがHレベルである場合には、駆動パターンメモリ301から読み出されたオンオフデータはEXORゲート302によってレベル反転され、2値信号Dsとしてデータ線駆動回路140に出力される。いずれの場合も、オンオフデータがHレベルであるときには、画素をオン状態とする2値信号Dsがデータ線駆動回路140に供給され、オンオフデータがLレベルであるときには、画素をオフ状態とする2値信号Dsがデータ線駆動回路140に供給される。

【0056】

図5には交流化信号FRがHレベルである場合におけるサブフィールド番号および階調データと2値信号Dsとの関係が示されている。すなわち、駆動パターンメモリ301には、図5に示す真理値表においてHとLとを反転した内容のオンオフデータが記憶されているのである。

【0057】

図5では、交流化信号FRがHレベルである場合を想定しているので、Hレベルの2値信号Dsが画素をオフ状態とする作用を呈し、Lレベルの2値信号Dsは画素をオン状態とする作用を呈する。

【0058】

図5から明らかなように、本実施形態では、次のように各サブフィールド毎に画素のオンオフ駆動を行うための2値信号Dsが出力される。

【0059】

a. 階調データに比例した個数のサブフィールドにおいて画素をオンにするレベルの2値信号Dsをデータ線駆動回路140に出力する。

【0060】

例えば階調データが00000である場合には、全てのサブフィールドにおいて画素をオフにするレベル（図5ではHレベル）の2値信号Dsが出力される。また、階調データが00001である場合にはサブフィールドSf0およびsf8において画素をオンにするレベル（図5ではLレベル）の2値信号Dsが出力される。そして、それ以上の階調データの場合には、階調データの値が1増加する毎に画素をオンにするレベル（図5ではLレベル）の2値信号Dsが出力され

るサブフィールドの個数が1個ずつ増加してゆく。

【0061】

ここで、サブフィールドSf0では、階調データが00001以上である場合に、階調データとは無関係に画素をオンにするレベルの2値信号Dsが出力される。これは前掲図6における閾値VTH1相当の実効電圧を当該画素に印加するために、データ変換回路300からデータ線駆動回路140に出力されるものである。そして、サブフィールドSf0の時間長は、このサブフィールドSf0の間だけ所定の電圧VHの印加を持続した場合に、閾値VTH1相当の実効電圧が画素に印加されるように定められている。サブフィールドSf0以外の他のサブフィールドについては、液晶の電圧／透過率特性の非線形性を補償するように非均一な時間長とすることも考えられるが、本実施形態では制御系の回路構成を簡単にするため、サブフィールドSf0以外の各サブフィールドSf1～Sf31は均等な時間長となっている。

【0062】

b. 画素をオンにするレベルの2値信号Dsの印加を行うサブフィールドを1フレーム内において可能な限り離散させる。

【0063】

図5に示すように、1フレームは4個のフィールドf1～f4に分割されている。本実施形態では、階調データが大きくなるに従って、画素をオンにするレベルの2値信号Dsを出力するサブフィールドの個数が増えてゆくが、その場合に、各サブフィールドを極力別々のフィールドから選ぶようにしている。例えば、図5において、階調データが00000から00011まで変化する過程では、順次異なったフィールドからサブフィールドが1個ずつ新たに選択され、画素をオンにするレベルの2値信号Dsを出力するためのサブフィールドが階調データに応じて順次増加されてゆく。このようにして各フィールドが、画素をオンにするレベルの2値信号Dsを出力するためのサブフィールドを1個以上含んだ状態になる。そして、さらに大きな階調データになると、再び順次異なったフィールドからサブフィールドが1個ずつ新たに選択され、画素をオンにするレベルの2値信号Dsを出力するためのサブフィールドが階調データに応じて順次増加され

てゆく。このように、本実施形態では、画素をオンにするレベルの2値信号D s を出力するためのサブフィールドを異なったフィールドに分散させ、画素をオンにするレベルの2値信号D s が1フィールドを越えて連続的に出力されるのを可能な限り防止している。ただし、これは階調データが1 1 1 0 0以上になると不可能になり、例えば階調データが1 1 1 0 0である場合には、画素をオンにするレベルの2値信号D s がサブフィールドS f 0 ~ S f 1 4において連続して出力され、階調データが1 1 1 1 1である場合には全てのサブフィールドにおいて画素をオンにするレベルの2値信号D s が出力されることとなる。上記の「画素をオンにする2値信号D s の出力を行うサブフィールドを可能な限り離散させる」とは、このような階調データが大きい場合における例外が一切ないことを意味するものではなく、そのような例外的な場合を除き、まさに可能な限りサブフィールドを離散させるという趣旨に理解されるべきである。

【0064】

データ変換回路300において生成された2値信号D s は、走査線駆動回路130およびデータ線駆動回路140の動作に同期して出力する必要があるので、図1では、データ変換回路300に対し、スタートパルスDYと、水平走査に同期するクロック信号CLYと、水平走査期間の最初を規定するラッチパルスLPと、ドットクロック信号に相当するクロック信号CLXとが供給されている。なお、図4では、この2値信号D s の供給を走査線駆動回路130およびデータ線駆動回路140の動作に同期させるための構成は図示が省略されている。

【0065】

<動作>

次に、上述した実施形態に係る電気光学装置の動作について説明する。図7および図8は、この電気光学装置の動作を示すタイミングチャートである。

【0066】

まず、交流化駆動信号LCOMは、1フレーム(1f)毎にレベル反転して、対向電極108に印加される。一方、スタートパルスDYは、1フレームを分割した32個のサブフィールドの各開始タイミングにおいてタイミング信号生成回路200から出力される。

【 0 0 6 7 】

ここで、交流化駆動信号 LCOM が L レベルとなる 1 フレームにおいて、サブフィールド S f 0 の開始を規定するスタートパルス D Y が供給されると、走査線駆動回路 1 3 0 (図 1 参照) におけるクロック信号 C L Y にしたがった転送によって、走査信号 G 1、G 2、G 3、…、G m が期間 (1 V a) に順次排他的に出力される。なお、期間 (1 V a) は、各サブフィールドよりもさらに短い期間に設定されている。

【 0 0 6 8 】

さて、走査信号 G 1、G 2、G 3、…、G m は、それぞれクロック信号 C L Y の半周期に相当するパルス幅を有し、また、上から数えて 1 本目の走査線 1 1 2 に対応する走査信号 G 1 は、スタートパルス D Y が供給された後、クロック信号 C L Y が最初に立ち上がってから、少なくともクロック信号 C L Y の半周期だけ遅延して出力される。したがって、サブフィールドの最初にスタートパルス D Y が供給されてから、走査信号 G 1 が出力されるまでに、ラッチパルス L P の 1 ショット (G 0) がデータ線駆動回路 1 4 0 に供給されることになる。

【 0 0 6 9 】

そこで、このラッチパルス L P の 1 ショット (G 0) が供給された場合について検討してみる。まず、このラッチパルス L P の 1 ショット (G 0) がデータ線駆動回路 1 4 0 に供給されると、データ線駆動回路 1 4 0 (図 3 参照) におけるクロック信号 C L X にしたがった転送によって、ラッチ信号 S 1、S 2、S 3、…、S n が水平走査期間 (1 H) に順次排他的に出力される。なお、ラッチ号 S 1、S 2、S 3、…、S n は、それぞれクロック信号 C L X の半周期に相当するパルス幅を有している。

【 0 0 7 0 】

この際、図 3 における第 1 のラッチ回路 1 4 2 0 は、ラッチ信号 S 1 の立ち下がりにおいて、上から数えて 1 本目の走査線 1 1 2 と、左から数えて 1 本目のデータ線 1 1 4 との交差に対応する画素 1 1 0 への 2 値信号 D s をラッチし、次に、ラッチ信号 S 2 の立ち下がりにおいて、上から数えて 1 本目の走査線 1 1 2 と、左から数えて 2 本目のデータ線 1 1 4 との交差に対応する画素 1 1 0 への 2 値

信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目までの各データ線114との各交差に対応する各画素110への2値信号Dsを順次ラッチする。

【0071】

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データを2値信号Dsに変換して出力することはいうまでもない。また、ここでは、交流化信号FRがHレベルの場合を想定しているので、図5に示される真理値表に従い、サブフィールドSf0における階調データに対応した2値信号Dsが出力されることになる。

【0072】

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1のラッチ回路1420によって点順次的にラッチされた2値信号Dsを、対応するデータ線114の各々にデータ信号d1、d2、d3、…、dnとして一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、…、dnの書込が同時に行われることとなる。

【0073】

この書込と並行して、図1において上から2本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされる。

【0074】

そして、以降同様な動作が、m本目の走査線112対応する走査信号Gmが出

力されるまで繰り返される。すなわち、ある走査信号 G_i (i は、 $1 \leq i \leq m$ を満たす整数) が出力される 1 水平走査期間 (1 H) においては、 i 本目の走査線 112 に対応する画素 110 の 1 行分に対するデータ信号 $d_1 \sim d_n$ の書込と、
($i+1$) 本目の走査線 112 に対応する画素 110 の 1 行分に対する 2 値信号 D_s の点順次的なラッチとが並行して行われることになる。なお、画素 110 に書き込まれたデータ信号は、次のサブフィールド $S_f 1$ における書込まで保持される。

【0075】

以下同様な動作が、サブフィールドの開始を規定するスタートパルス DY が供給される毎に繰り返される。

【0076】

さらに、フレームが切り換わり、交流化駆動信号 $LCOM$ が L レベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、データ変換回路 300 では、図 5 に示す真理値表において H レベルと L レベルとを反転した変換ルールに従って、階調データから 2 値信号 D_s への変換が行われる。

【0077】

次に、このような動作が行われることによって、画素 110 における液晶層への印加電圧について検討する。図 8 は、階調データと、画素 110 における画素電極 118 への印加波形を示すタイミングチャートである。

【0078】

例えば、交流化駆動信号 $LCOM$ が H レベル (V_H) である場合において、ある画素の階調データが 00000 である場合には、図 5 に示される変換内容に従う結果、当該画素の画素電極 118 には、図 8 に示されるように、32 サブフィールドにわたって H レベル (V_H) が書き込まれる。この場合において、交流化駆動信号 FR と画素電極に対する印加電圧とのレベル差は 0 V であるので、当該液晶層に印加される電圧実効値は $V_L (= 0 V)$ となる。したがって、当該画素の透過率は、階調データ 00000 に対応して 0 % となる。

【0079】

また、ある画素の階調データが00001である場合には、図5に示される変換内容に従う結果、当該画素の画素電極118には、図8に示されるように、相互に離れた2個のサブフィールドSf0およびSf8においてはLレベル(0V)が、他のサブフィールドにおいてはHレベル(VH)が、それぞれ書き込まれる。この結果、階調データ00001に対応した実効電圧が画素に与えられることとなり、その階調データに応じた透過率が得られる。

【0080】

さらに、ある画素の階調データが00010であるとき、図5に示される変換内容に従う結果、当該画素の画素電極118には、図8に示されるように、相互に離れた3個のサブフィールドSf0、Sf16およびSf24においてLレベルが書き込まれる。したがって、当該画素の透過率は、階調データ00010に対応したものとなる。

【0081】

他の階調データが与えられた場合も同様であり、階調データの大きさに応じた個数のサブフィールドにおいてLレベルが画素電極118に書き込まれ、その階調データに応じた透過率が得られる。

【0082】

この場合において、本実施形態では、Lレベルを画素電極118に書き込むサブフィールドが可能な限り離散するように選ばれ、しかも、各フィールドごとに印加する実効電圧のフィールド間の差をできるだけ少なくしているので、液晶の透過率が低い周波数で周期的に変化するのを阻止し、フリッカを有効に防止することができる。

【0083】

次に、交流化駆動信号LCOMがLレベル(0V)になると、Hレベル(VH)の場合に印加されていた電圧をレベル反転した電圧が画素電極118に印加される。このため、交流化駆動信号LCOMがHレベルの場合に各液晶層の印加電圧は、交流化駆動信号LCOMがLレベルの場合の印加電圧とは極性を反転したものであって、かつ、その絶対値は等しいものとなる。したがって、液晶層に直流成分が印加される事態が回避される結果、液晶105の劣化が防止されること

になる。

【0084】

このような本実施形態に係る電気光学装置によれば、1フレームが複数のサブフィールド $Sf_0 \sim Sf_{31}$ に分割され、各サブフィールド毎に、画素にHレベルまたはLレベルが書き込まれ、1フレームにおける電圧実効値が制御される。このため、データ線 114 に供給されるデータ信号 $d_1 \sim d_n$ は、本実施形態では、Hレベル ($=V_H$) またはLレベル ($=0V$) のみであって、2値的であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることが可能となる。さらに、データ線 114 に供給されるデータ信号 $d_1 \sim d_n$ は2値的であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。また、本実施形態においては、画素をオンにする電圧を印加するサブフィールドを1フレーム内において可能な限り離散させ、しかも、各フィールドごとに印加する実効電圧のフィールド間の差をできるだけ小さくするようにしているので、フリッカを防止することができる。

【0085】

尚、各画素に印加される電圧は、トランジスタ 116 の特性、蓄積容量 119 や液晶 105 の容量等によって、電圧がシフトする場合がある。このような場合には、対向電極 110 に印加する電圧 LCOM を電圧シフト量に応じてずらす場合もある。

【0086】

以上、この発明の一実施形態について説明したが、本発明には以下説明する様々な変形例が考えられる。

【0087】

<変形例①>

上述した実施形態においては、各サブフィールドの書込を、最も短いサブフィールドよりもさらに短い期間 (1 Va) で完了する必要がある。一方、上述した

実施形態では、32階調表示としたが、さらに階調表示度数を高めるためには、サブフィールドの期間をさらに短くして、各サブフィールドの書込を、より短期間で完了させる必要が生じる。

【0088】

しかしながら、駆動回路、特に、データ線駆動回路140におけるXシフトレジスタ1410は、実際には上限付近で動作しているので、このままでは、階調表示度数を高めることができない。そこで、この点に改良を施した変形例について説明する。

【0089】

図9は、この変形例に係る電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。この図において、Xシフトレジスタ1412は、ラッチパルスLPをクロック信号CLXにしたがって転送する点においては、図3に示されるXシフトレジスタ1410と同様であるが、その段数が半分となっている点において、Xシフトレジスタ1410と相違している。すなわち、 $n = 2p$ を満たす整数pを想定すると、Xシフトレジスタ1412は、ラッチ信号S1、S2、…、Spを順次出力する構成となっている。

【0090】

また、この変形例において2値信号は、左から数えて奇数本目のデータ線114への2値信号Ds1と、偶数本目のデータ線114への2値信号Ds2との2系統に分けられて供給される。さらに、第1のラッチ回路1422では、奇数本目のデータ線114に対応して2値信号Ds1をラッチするものと、それに続く偶数本目のデータ線114に対応して2値信号Ds2をラッチするものが組となって、それぞれ同一のラッチ信号の立ち下がりと同時にラッチを行う構成となっている。

【0091】

したがって、このようなデータ線駆動回路140によれば、図10に示されるように、同一のラッチ信号S1、S2、S3、…によって同時に画素2個分の2値信号Ds1、Ds2がラッチされるので、クロック信号CLXの周波数を上記実施形態と同一に維持したまま、必要な水平走査期間を半分に短縮することがで

きる。さらに、Xシフトレジスタ1412を構成する単位回路の段数は、データ線114の総本数に対応する「n」から、その半分である「p」に削減される。このため、Xシフトレジスタ1412の構成を、Xシフトレジスタ1410（図3参照）と比較して簡略化することも可能となる。

【0092】

一方、Xシフトレジスタ1412を構成する単位回路の段数が半分で済むということは、必要な水平走査期間を同じとするのであれば、クロック信号CLXを半分に低下させることができることを意味する。このため、水平走査期間を同じとするのであれば、動作周波数に起因して消費される電力を抑えることもできる。

【0093】

なお、この変形例にあつては、ラッチ信号によって同時されるラッチを行う第1のラッチ回路1422の個数を「2」としたが、「3」以上としても良いのはもちろんである。この場合には、データ信号は、当該個数に応じた系統に分けられて供給されることになる。

【0094】

<変形例②>

上記実施形態では、交流化駆動信号LCOMを1フレームの周期でレベル反転することとした。これに対し、本変形例②は、図11に示すように、1フレーム内では1フィールドの周期で交流化駆動信号LCOMをレベル反転させ、かつ、フレームの切り換わりタイミングでは、交流化駆動信号LCOMをレベル反転させないようにした。

【0095】

このような構成とした場合、上記実施形態に比べて、液晶層に印加される電圧の交流化の周期を短くすることができ、フリッカをさらに低減することができる。

【0096】

本変形例において、駆動制御系の回路構成は、上記実施形態における回路（図1～図4参照）をそのまま採用することができる。ただし、この変形例の場合、

図4に示す駆動パターンメモリ301に供給するサブフィールド番号を得るためには、サブフィールド番号を出力するカウンタを交流化信号FRの立ち上がりエッジや立ち下がりエッジによってリセットするのではなく、フレームの切り換わりに同期した信号を別途用意し、これによりリセットするように構成する必要がある。

【0097】

<変形例③>

上記実施形態では、図2(a)または(b)に示すように、画素電極118に対する印加電圧を液晶容量および蓄積容量119によって保持する構成の画素を採用していた。これに対し、本変形例では、画素自体に1ビットのデジタル信号を記憶するメモリと、このメモリに記憶されたデジタル信号に応じて電圧VHまたはVLを選択して画素電極に印加する回路とが設けられている。

【0098】

図12は本変形例に係る画素の構成を示す回路図である。

【0099】

この図において、インバータ121および122は、一方の出力端子が他方の入力端子に接続されており、全体として1ビットのメモリを構成している。トランジスタ116aおよび116bは、この1ビットのメモリに対して書込を行うときにオン状態とされるスイッチングトランジスタであり、各々のドレインはインバータ121および122の各出力端子に接続され、各々のゲートは走査信号Giを供給する走査線112に接続されている。

【0100】

上記実施形態では、各画素には1本のデータ線を介してデータ信号が送られてきた。これに対し、本変形例では、2本のデータ線114aおよび114bが各画素に対して配線されており、データ線114aにはトランジスタ116aのソースが接続され、データ線114bにはトランジスタ116bのソースが接続されている。そして、データ線114aには、前掲図1におけるデータ線駆動回路140から電圧VHまたはVLの印加を指示する信号dj (j=1~n) がそのまま出力され、データ線114bにはこの信号djをレベル反転した信号が出力

される。これらの各データ線上の信号は、トランジスタ 116 a および 116 b を介してインバータ 121 および 122 からなるメモリに与えられ、このメモリに書き込まれる。トランスミッションゲート 123 は、入力端が電圧 V_H を供給する配線に接続されており、出力端が画素電極 118 に接続されている。また、トランスミッションゲート 124 は、入力端が電圧 V_L を供給する配線に接続されており、出力端が画素電極 118 に接続されている。これらのトランスミッションゲート 123 および 124 は、いずれも H レベルのゲート信号が与えられることによりオンになるゲートであり、これらには上記メモリにおけるインバータ 121 および 122 の各出力信号がゲート信号として供給される。

【0101】

以下、この画素の動作について説明する。

【0102】

まず、走査線 112 に H レベルの走査信号 G_i が出力され、トランジスタ 116 a および 116 b がオン状態となっているときに、電圧 V_H の印加を指示する H レベルの信号 d_i およびそのレベルを反転した L レベルの信号がデータ線 114 a および 114 b に出力されたとする。この場合、インバータ 121 の出力信号が H レベル、インバータ 122 の出力信号が L レベルとなるため、トランスミッションゲート 123 のみがオン状態となり、このトランスミッションゲート 123 を介して電圧 V_H が画素電極 118 に印加される。

【0103】

次に、走査線 112 に対する走査信号 G_i が L レベルになると、トランジスタ 116 a および 116 b はオフ状態となり、インバータ 121 および 122 はそれ以前の出力信号レベルをそのまま維持する。この間、インバータ 121 の出力信号のみが H レベルとなるため、トランスミッションゲート 123 を介して電圧 V_H が画素電極 118 に印加され続けることとなる。

【0104】

その後、走査線 112 に対する走査信号 G_i が再び H レベルとなり、トランジスタ 116 a および 116 b がオン状態となっているときに、電圧 V_L の印加を指示する L レベルの信号 d_i およびそのレベルを反転した H レベルの信号がデー

タ線 114 a および 114 b に出力されたとする。この場合、インバータ 121 の出力信号が L レベル、インバータ 122 の出力信号が H レベルとなるため、トランシミッションゲート 124 のみがオン状態となり、このトランスミッションゲート 124 を介して電圧 V_L が画素電極 118 に印加される。

【0105】

そして、走査線 112 に対する走査信号 G_i が L レベルになると、上述したように、インバータ 121 および 122 はそれ以前の出力信号レベルをそのまま維持し、トランシミッションゲート 124 を介して電圧 V_L が画素電極 118 に印加され続けることとなる。

【0106】

本変形例によれば、このようなメモリ内蔵型の画素を採用しているため、画素電極に対する印加電圧がリークによって揮発するといった自体が生じず、上記実施形態におけるサブフィールド単位での各画素の駆動を高精度で実施することができる。

【0107】

<変形例④>

図 13 は本変形例に係る電気光学装置の動作を示すタイミングチャートである。また、図 14 は本変形例においてデータ変換回路 300（図 1、図 4 参照）の機能を示す真理値表である。

【0108】

本変形例では、1 フレームを 2 個のフィールドに分割し、各フィールドをさらに 5 個のサブフィールドに分割し、10 個のサブフィールド $Sf_0 \sim Sf_9$ の各々において画素のオンオフ駆動を行うことにより、5 ビットの階調データに対応した 32 階調の階調表示を行う。

【0109】

上記実施形態では、サブフィールド Sf_0 を除く各サブフィールド $Sf_1 \sim Sf_{31}$ は均等な時間長を有していた。これに対し、本変形例における各サブフィールドの時間長の配分は、以下説明するように、上記実施形態とは一部異なったものとなっている。

- a. サブフィールド S f 0 は、上記実施形態と同様、前掲図 6 における閾値 V T H 1 相当の実効電圧を液晶層に与えうるだけの時間長となっている。
- b. サブフィールド S f 5 は、重み「1」に相当する実効電圧を画素に与えうるだけの時間長となっている。
- c. サブフィールド S f 1 および S f 6 は、各々の時間長の和が、重み「2」に相当する実効電圧を画素に与えうるだけの時間長となっている。
- d. サブフィールド S f 2 および S f 7 は、各々の時間長の和が、重み「4」に相当する実効電圧を画素に与えうるだけの時間長となっている。
- e. サブフィールド S f 3 および S f 8 は、各々の時間長の和が、重み「8」に相当する実効電圧を画素に与えうるだけの時間長となっている。
- f. サブフィールド S f 4 および S f 9 は、各々の時間長の和が、重み「16」に相当する実効電圧を画素に与えうるだけの時間長となっている。
- g. 1 種類の重みに対応した 2 つのサブフィールド（すなわち、サブフィールド S f 1 と S f 6、S f 2 と S f 7、S f 3 と S f 8、S f 4 と S f 9）は、異なるフィールドに属しており、相互に離れている。

【0110】

階調データと、各サブフィールドにおける 2 値信号 D s のレベルとの関係は図 14 に示す通りである。

【0111】

本変形例においても上記実施形態と同様な効果が得られる。また、本変形例によれば、上記実施形態と同じ階調数での階調表示を行う場合において上記実施形態よりもサブフィールドの個数を少なくすることができるため、消費電力を低減することができるという効果が得られる。

【0112】

本変形例を実施するに当たっては、各サブフィールドの開始を指示する信号 D Y を図 13 に例示するように非均一な時間間隔で発生する必要があるが、このような信号 D Y を生成するタイミング信号生成回路は、当業者が容易に設計し得るものであるので、その具体的構成については説明を省略する。

【0113】

<変形例⑤>

上記変形例④では、1 フレーム毎に交流化駆動信号 LCOM のレベル反転を行った。これに対し、この変形例⑤では、図 1 5 に示すように、フレームの切り換えタイミングでは交流化駆動信号のレベル反転を行わず、各フレーム内のフィールド切り換えタイミングにおいて交流化駆動信号 LCOM のレベル反転を行う。

【0 1 1 4】

<変形例⑥>

図 1 6 は、本変形例において対向基板に対する印加電圧 LCOM、画素電極に対する印加電圧を、サブフィールド単位で示したタイミングチャートである。

【0 1 1 5】

上記実施形態および上記各変形例においては、対向基板に対する印加電圧 LCOM を一定周期でレベル反転させ、これに合わせて、画素をオンにする電圧のレベル反転を行うことで、液晶層に対する印加電圧の極性を周期的に反転させた。

【0 1 1 6】

これに対し、本変形例では、対向基板に対しては、一定レベルの直流電圧 LCOM を印加し、この直流レベル LCOM を基準として、画素をオンにする電圧 VON のレベルを一定周期毎に反転させる。

【0 1 1 7】

すなわち、本変形例では、図 1 6 に例示するように、あるフレーム 1 f では、階調データに応じた個数のサブフィールドにおいて、直流レベル LCOM よりも低い電圧 VON- を画素をオンにする電圧として画素電極に印加し、このフレーム 1 f の次のフレーム 2 f では、直流レベル LCOM を基準として電圧 VON- のレベル反転を行った電圧 VON+ を画素をオンにする電圧として画素電極に印加するのである。

【0 1 1 8】

このような交流駆動を行うためには、上記実施形態または各変形例（特に変形例③）に対し、次のような変形を加える必要がある。

a. 上記実施形態のように前掲図 2 (a) または (b) に示す構成の画素を有する電気光学装置の場合

この場合、あるフレームにおいては、画素をオンにする電圧としてVON-を、画素をオフにする電圧としてVOFFを各データ線114に出力し、その次のフレームでは、画素をオンにする電圧としてVON+を、画素をオフにする電圧としてVOFFを各データ線114に出力する、という具合に、画素をオンにする電圧のレベルを1フレーム周期で反転するようデータ線駆動回路140の出力部の構成を変更する。なお、このようにデータ線駆動回路140側において画素に印加する電圧のレベル反転を行う場合、データ変換回路300（図4参照）内のEXORゲート302は削除する必要がある。

b. 上記変形例③のように前掲図12に示す画素を有する電気光学装置の場合

この場合、電圧VHの代わりに電圧VONを、電圧VLの代わりに電圧VOFFを各画素（図12参照）に供給し、あるフレームでは電圧VONとしてVON-を、次のフレームでは電圧VONとしてVON+を、という具合に、画素をオンにする電圧VONをフレーム毎に切り換えるように構成する。この場合、画素をオンにする電圧自体をフレーム毎に切り換えるので、データ変換回路300（図4参照）内のEXORゲート302は削除する必要がある。

【0119】

本変形例によれば、上記実施形態および各変形例と同様に、液晶層に対する印加電圧を交流化することができるので、液晶層に対する印加電圧の直流成分に起因した画質の劣化を防止することができる。

【0120】

<液晶装置の全体構成>

次に、上述した実施形態や変形例に係る電気光学装置の構造について、図17および図18を参照して説明する。ここで、図17は、電気光学装置100の構成を示す平面図であり、図18は、図17におけるA-A'線の断面図である。

【0121】

これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が挟持された構造となってい

る。なお、実際には、シール材 104 には切欠部分があって、ここを介して液晶 105 が封入された後、封止材により封止されるが、これらの図においては省略されている。

【0122】

ここで、素子基板 101 は、上述したように半導体基板であるため不透明である。このため、画素電極 118 は、アルミニウムなどの反射性金属から形成されて、電気光学装置 100 は、反射型として用いられることになる。これに対して、対向基板 102 は、ガラスなどから構成されるので透明である。

【0123】

さて、素子基板 101 において、シール材 104 の内側かつ表示領域 101a の外側領域には、遮光膜 106 が設けられている。この遮光膜 106 が形成される領域内のうち、領域 130a には走査線駆動回路 130 が形成され、また、領域 140a にはデータ線駆動回路 140 が形成されている。すなわち、遮光膜 106 は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜 106 には、対向電極 108 とともに、交流化駆動信号 FR が印加される構成となっている。このため、遮光膜 106 が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極 118 の電圧無印加状態と同じ表示状態となる。

【0124】

また、素子基板 101 において、データ線駆動回路 140 が形成される領域 140a 外側であって、シール材 104 を隔てた領域 107 には、複数の接続端子が形成されて、外部からの制御信号や電源などを入力する構成となっている。

【0125】

一方、対向基板 102 の対向電極 108 は、基板貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材（図示省略）によって、素子基板 101 における遮光膜 106 および接続端子と電気的な導通が図られている。すなわち、交流化駆動信号 LCOM は、素子基板 101 に設けられた接続端子を介して、遮光膜 106 に、さらに、導通材を介して対向電極 108 に、それぞれ印加される構成となっている。

【0126】

ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置100に光を対向基板102側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板101および対向基板102の電極形成面には、それぞれ所定方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板101の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0127】

＜その他＞

また、実施形態においては、電気光学装置を構成する素子基板101を半導体基板とし、ここに、画素電極118に接続されるトランジスタ116や、駆動回路の構成素子などを、MOS型FETで形成したが、本発明は、これに限られない。例えば、素子基板101を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積してTFTを形成する構成としても良い。このようにTFTを用いると、素子基板101として透明基板を用いることができる。

【0128】

さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子（EL）などを用いて、その電気光学効果により表示を行う装置に適用可能である。液晶の場合、周期的に交流駆動する必要があったが、有機ELの場合は、周期的に交流駆動しなくて良い。

【0129】

すなわち、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

【0130】

＜電子機器＞

次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0131】

＜その1：プロジェクタ＞

まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図19は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置している。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレートレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほぼ揃った種類の偏光光束（s偏光光束）に変換されて、偏光照明装置1110から出射されることとなる。

【0132】

さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の液電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gに

よって変調される。

【0133】

このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光学装置100R、100Bおよび100Gには、ダイクロイックミラー1151、1152によって、R、G、Bの各原色に対応する光束が入射するので、カラーフィルタは必要ない。

【0134】

<その2：モバイル型コンピュータ>

次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図20は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。

【0135】

なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0136】

<その3：携帯電話>

さらに、上記電気光学装置を、携帯電話に適用した例について説明する。図21は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118

に凹凸が形成される構成が望ましい。

【0137】

なお、電子機器としては、図19～図21を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や変形例に係る電気光学装置が適用可能なのは言うまでもない。

【0138】

【発明の効果】

以上説明したように本発明によれば、データ線に印加される信号が2値化されて、高品位な階調表示が可能となる。また、本発明によれば、フリッカを効果的に防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る電気光学装置の電氣的な構成を示すブロック図である。

【図2】 (a) および (b) は、それぞれ同電気光学装置の画素の一態様を示すブロック図である。

【図3】 同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

【図4】 同電気光学装置におけるデータ変換回路の構成を示すブロック図である。

【図5】 同電気光学装置におけるデータ変換回路の機能を示す真理値表である。

【図6】 同電気光学装置における電圧－透過率特性を示す図である。

【図7】 同電気光学装置の動作を示すタイミングチャートである。

【図8】 同電気光学装置において対向基板に印加される電圧、および、画素電極に印加される電圧を、サブフィールド単位で示すタイミングチャートである。

【図 9】 同電気光学装置におけるデータ線駆動回路の変形例を示すブロック図である。

【図 10】 同変形例に係るデータ線駆動回路の動作を示すタイミングチャートである。

【図 11】 同電気光学装置の変形例における対向基板に印加される電圧、および、画素電極に印加される電圧を、サブフィールド単位で示すタイミングチャートである。

【図 12】 同電気光学装置の変形例における画素の構成を示す回路図である。

【図 13】 同電気光学装置の変形例における対向基板に印加される電圧、および、画素電極に印加される電圧を、サブフィールド単位で示すタイミングチャートである。

【図 14】 同変形例におけるデータ変換回路の機能を示す真理値表である。

【図 15】 同変形例における対向基板に印加される電圧、および、画素電極に印加される電圧を、サブフィールド単位で示すタイミングチャートである。

【図 16】 同電気光学装置の変形例における対向基板に印加される電圧、および、画素電極に印加される電圧を、サブフィールド単位で示すタイミングチャートである。

【図 17】 同電気光学装置の構造を示す平面図である。

【図 18】 同電気光学装置の構造を示す断面図である。

【図 19】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図 20】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 21】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【符号の説明】

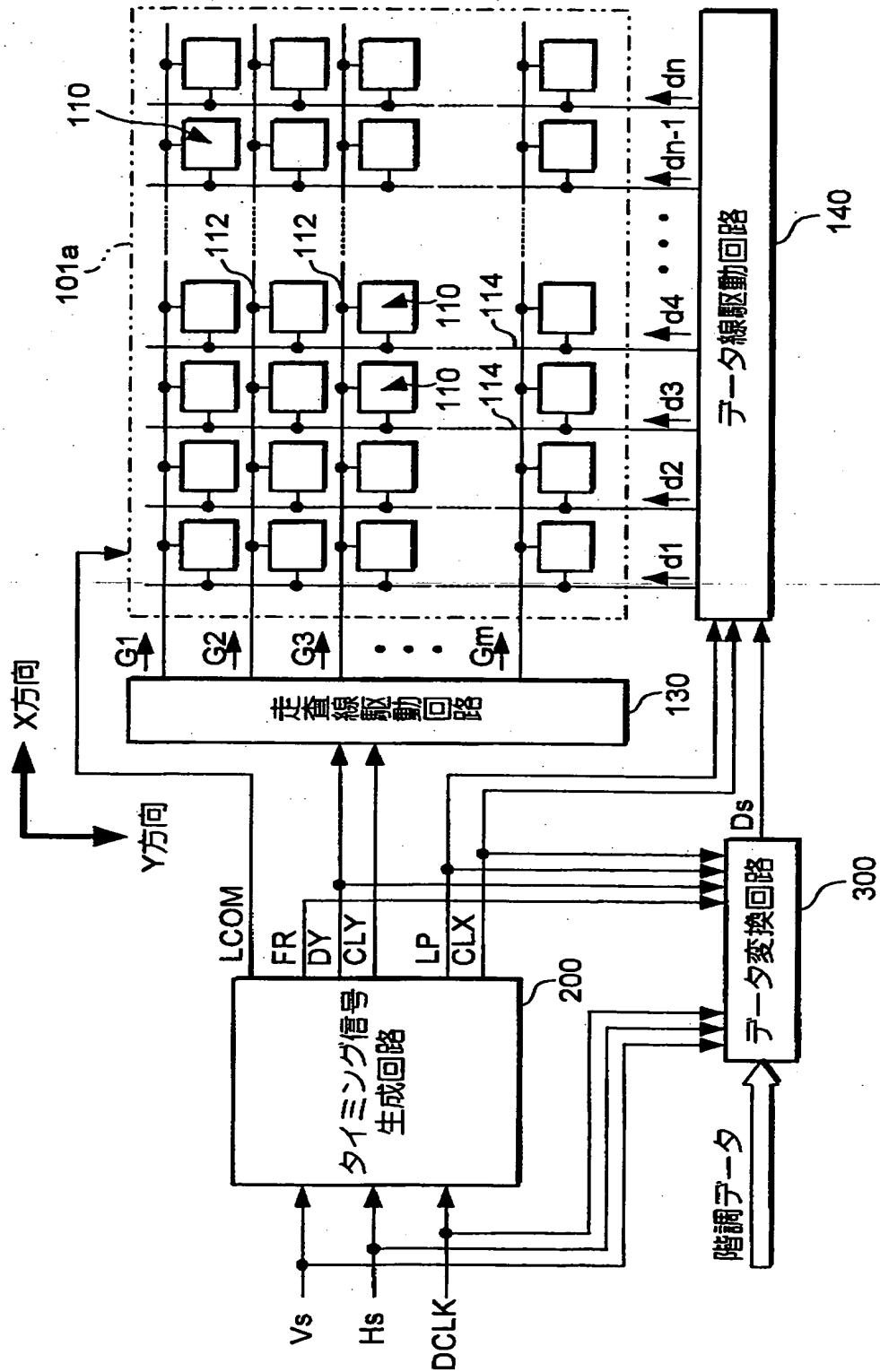
100……電気光学装置

- 101 ……素子基板
- 101 a ……表示領域
- 102 ……対向基板
- 105 ……液晶（電気光学材料）
- 108 ……対向電極
- 112 ……走査線
- 114 ……データ線
- 116 ……トランジスタ
- 118 ……画素電極
- 119 ……蓄積容量
- 130 ……走査線駆動回路
- 140 ……データ線駆動回路
- 1410 ……Xシフトレジスタ
- 1420 ……第1のラッチ回路
- 1430 ……第2のラッチ回路
- 200 ……タイミング信号生成回路
- 300 ……データ変換回路
- 400 ……クロック信号供給制御回路

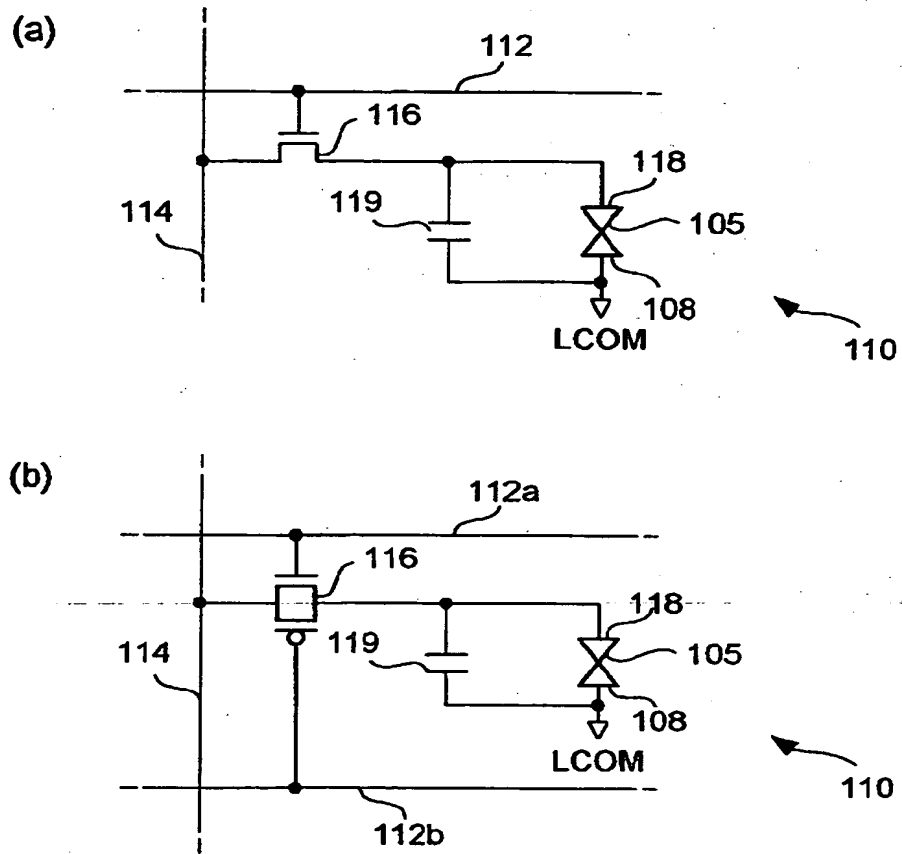
【書類名】

図面

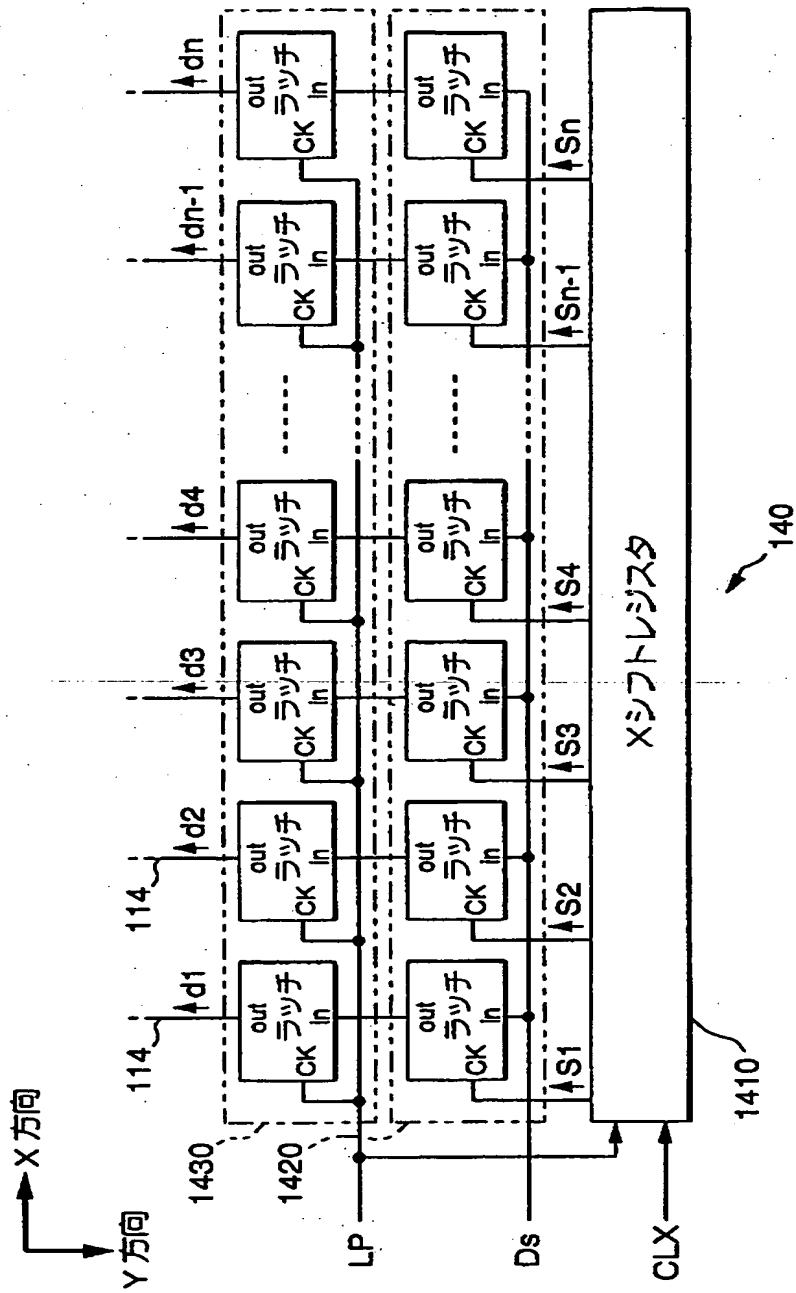
【図 1】



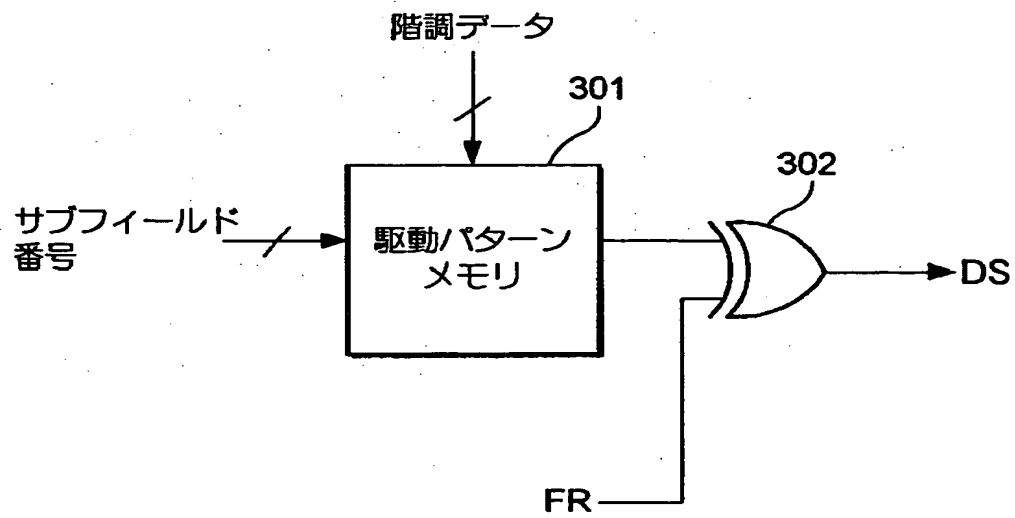
【図 2】



【図 3】



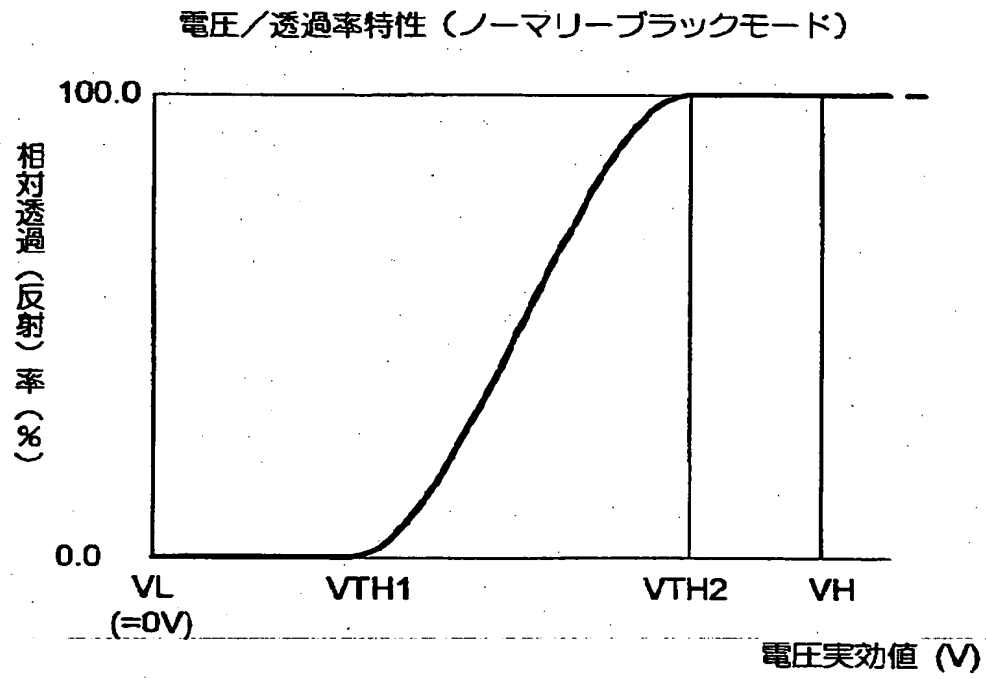
【図 4】



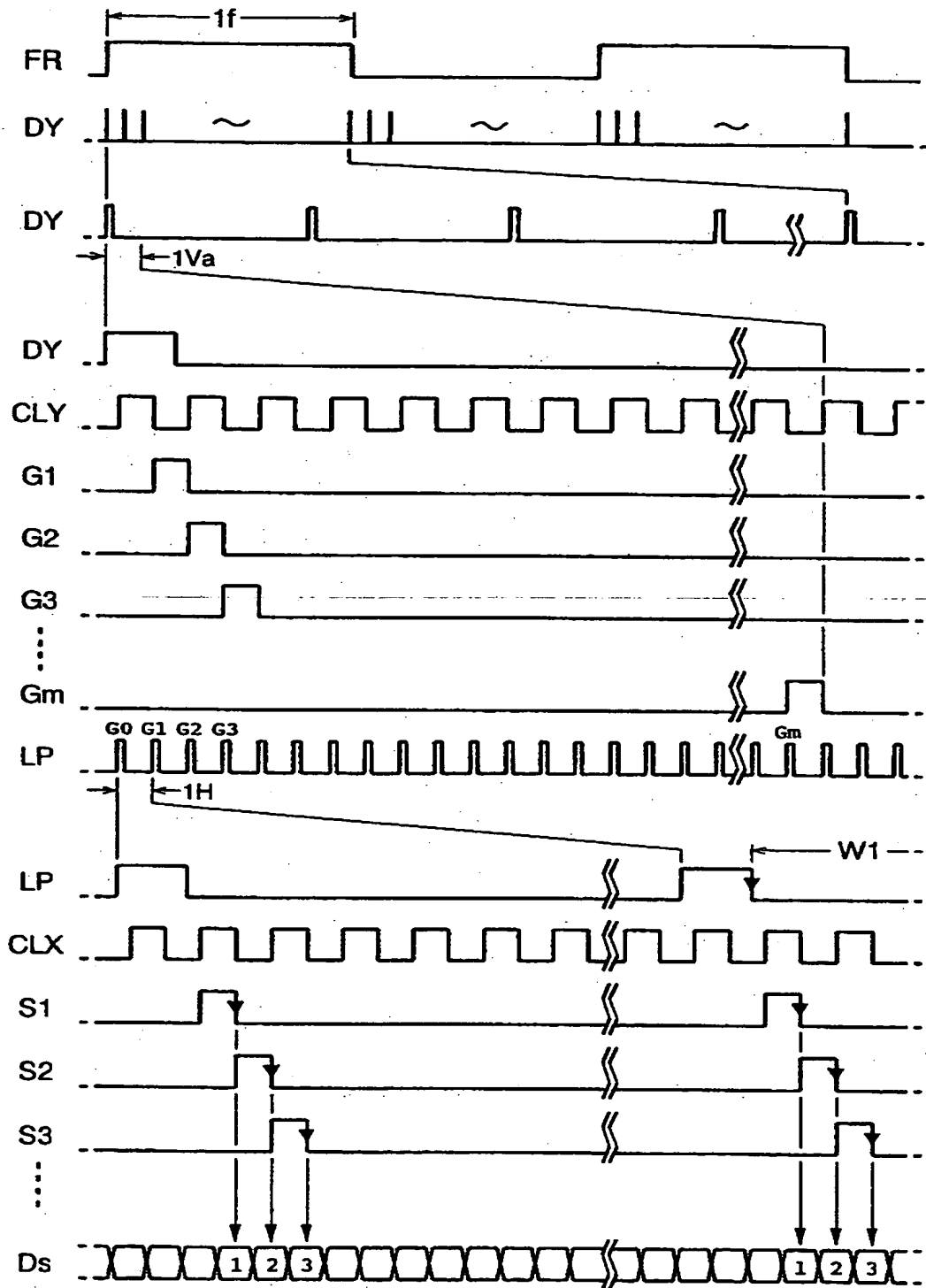
【図 5】

階調 データ	f1								f2								f3								f4							
	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf	Sf
00000	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00001	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00010	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00011	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00100	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00101	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00110	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
00111	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01000	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01001	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01010	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01011	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01100	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01101	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01110	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
01111	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
10000	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H
10001	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H
10010	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H
10011	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H
10100	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H
10101	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H
10110	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H
10111	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H
11000	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H
11001	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H
11010	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H
11011	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H
11100	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
11101	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
11110	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
11111	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L

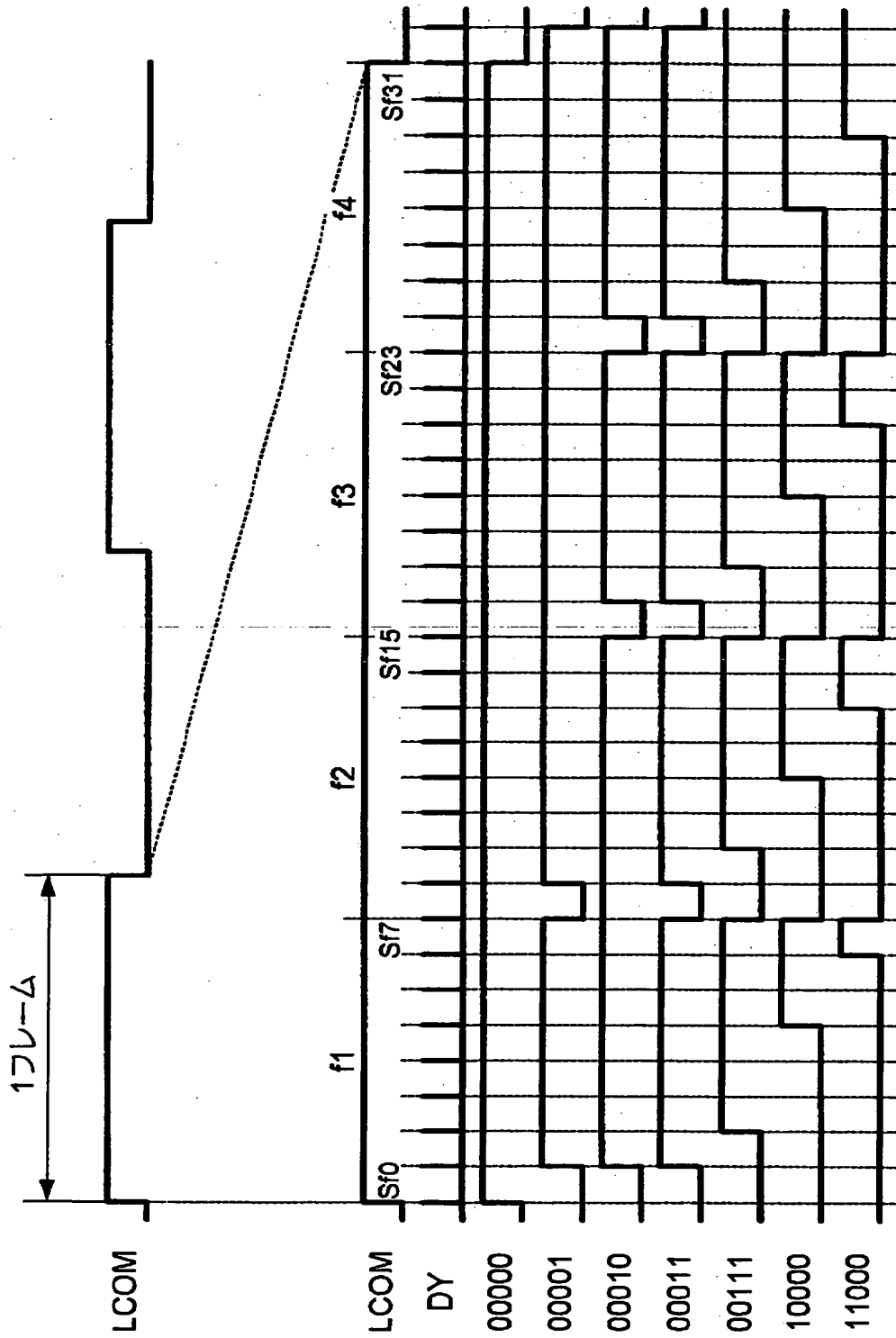
【図 6】



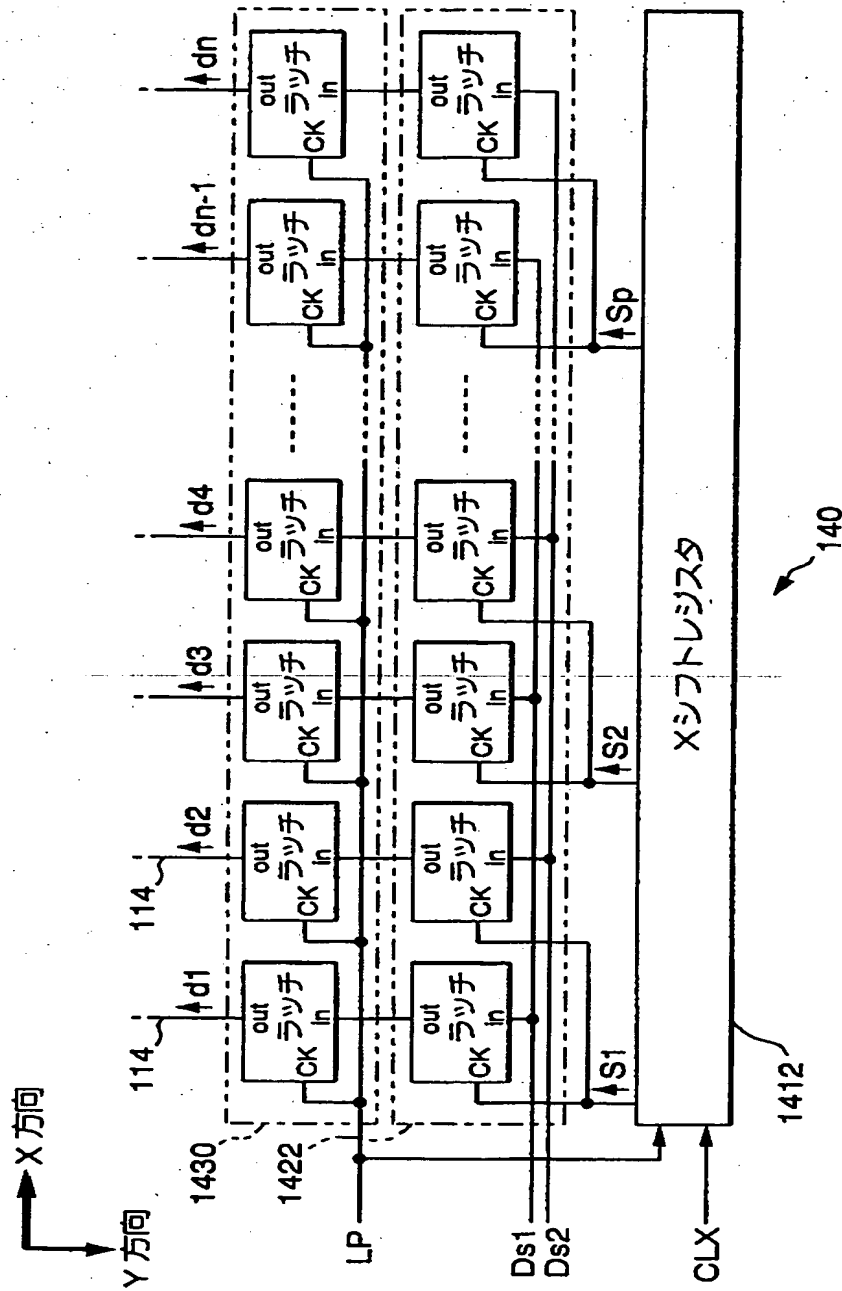
【図 7】



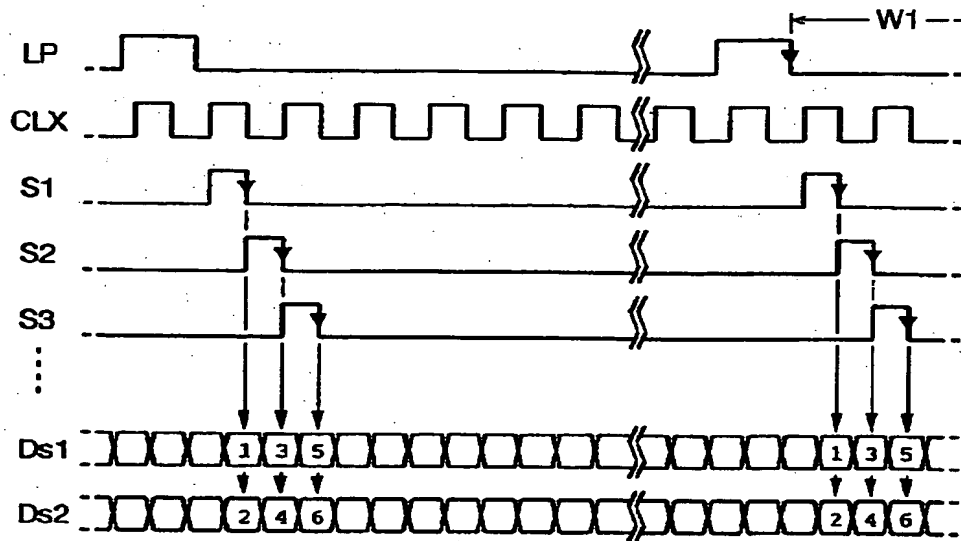
【図 8】



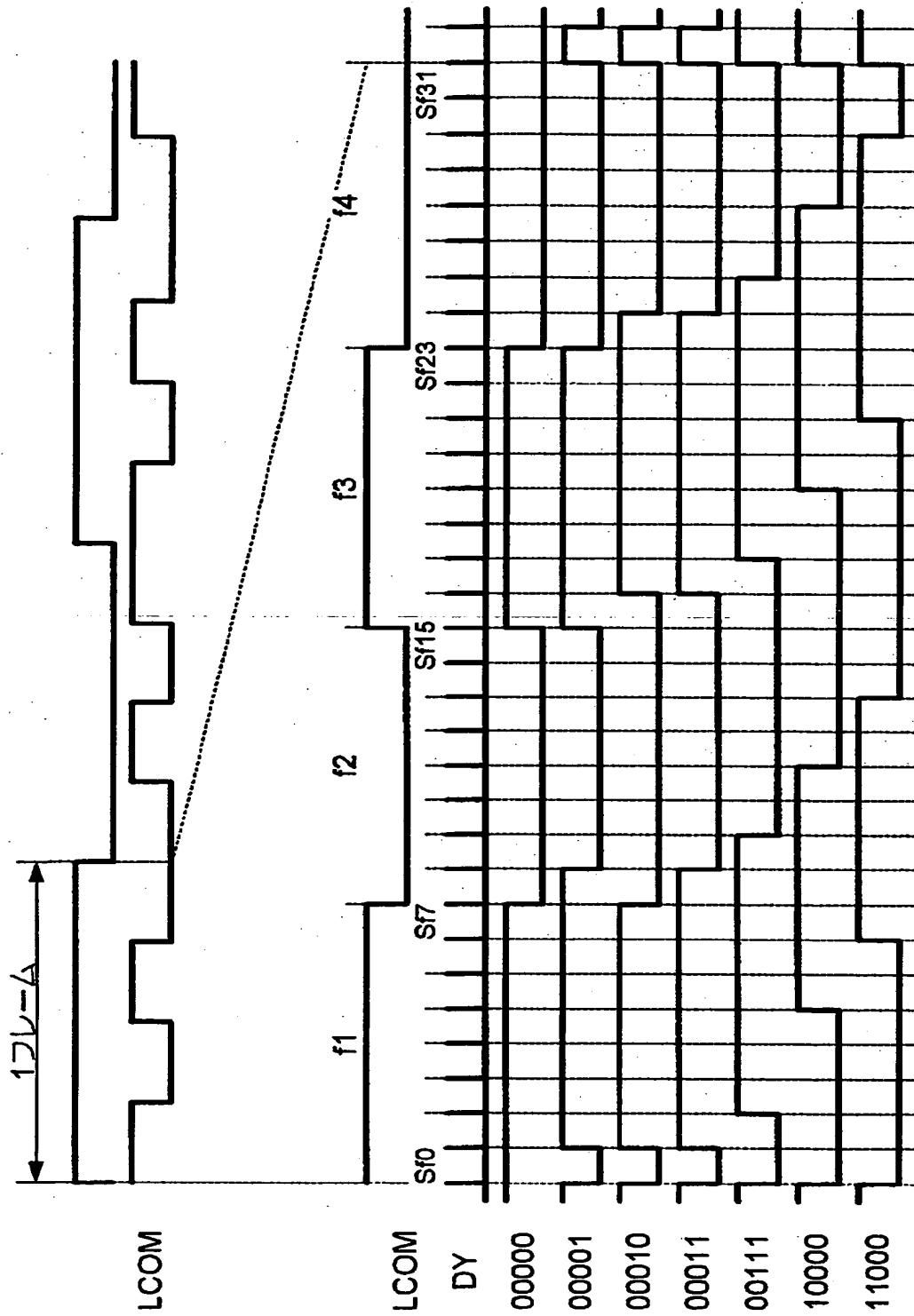
【図 9】



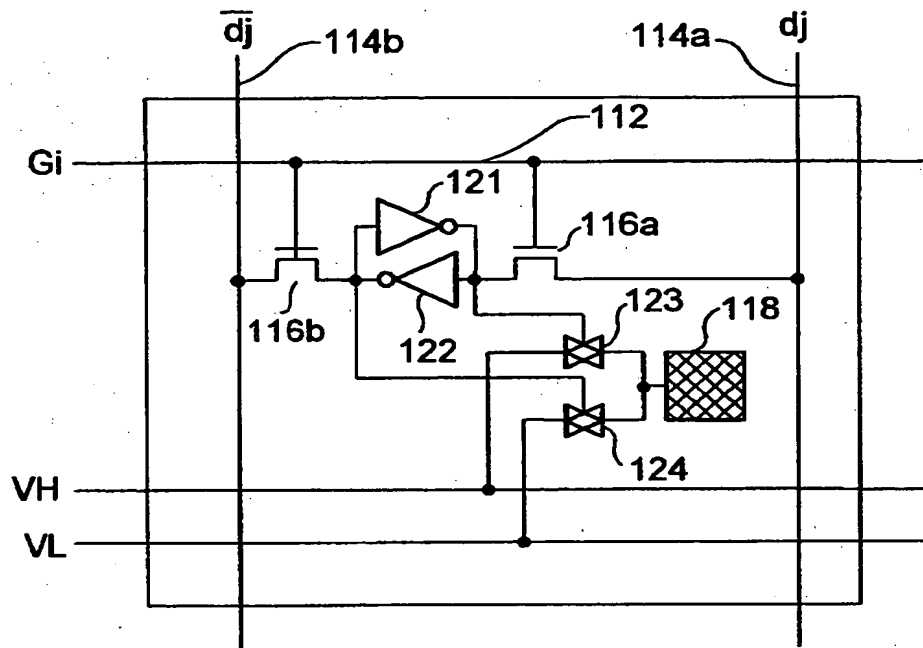
【図 1 0】



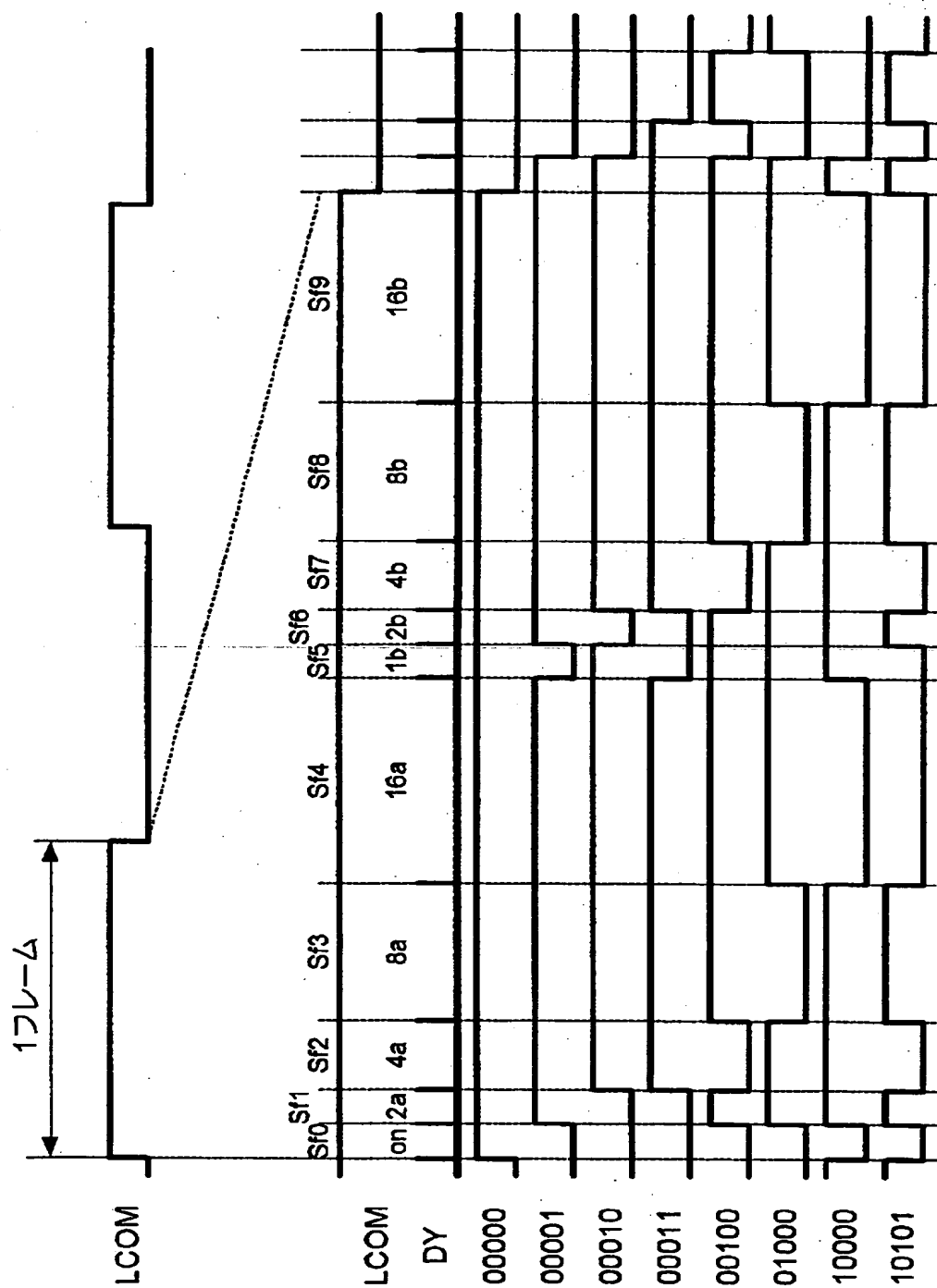
【図 1 1】



【図 1 2】



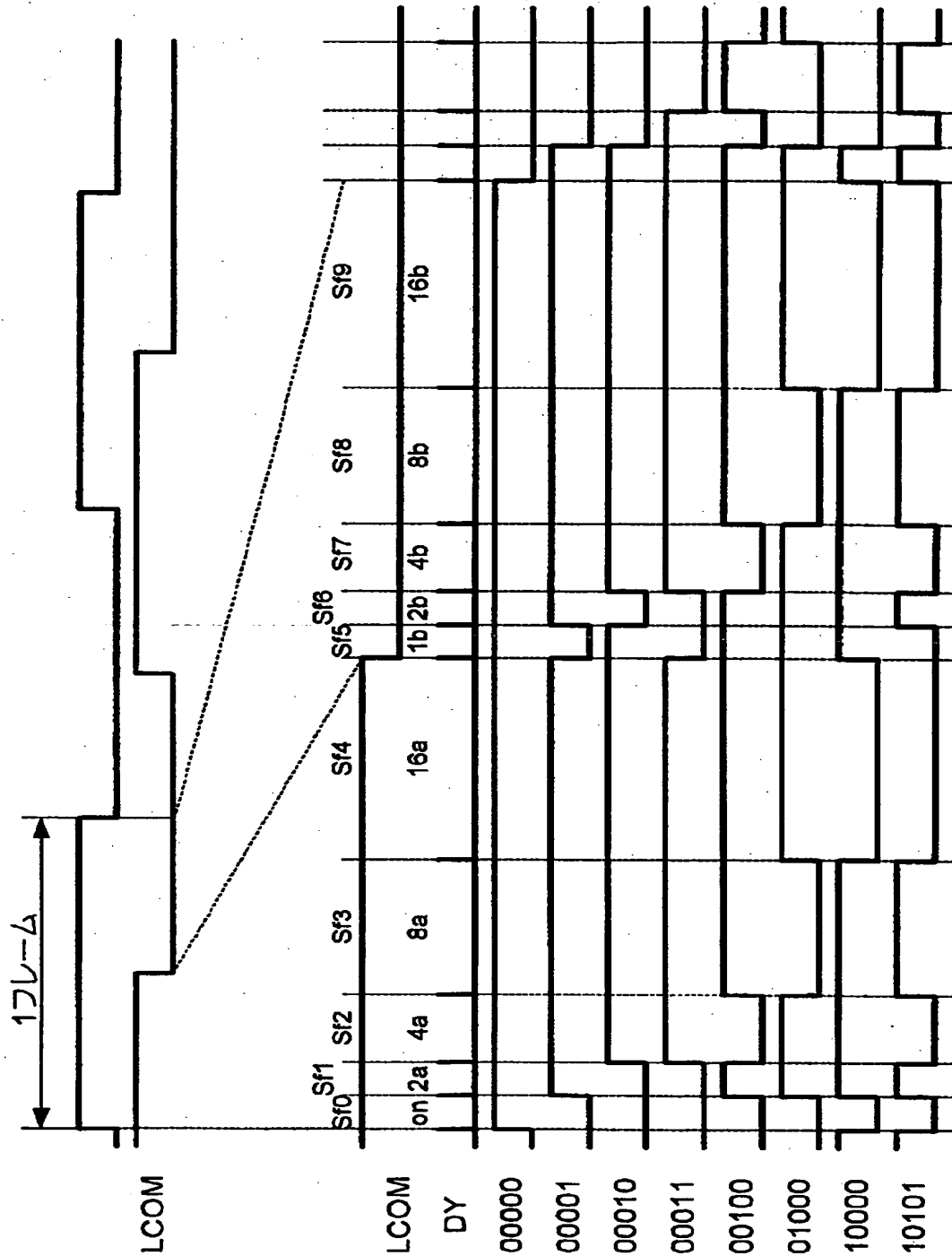
【図 1 3】



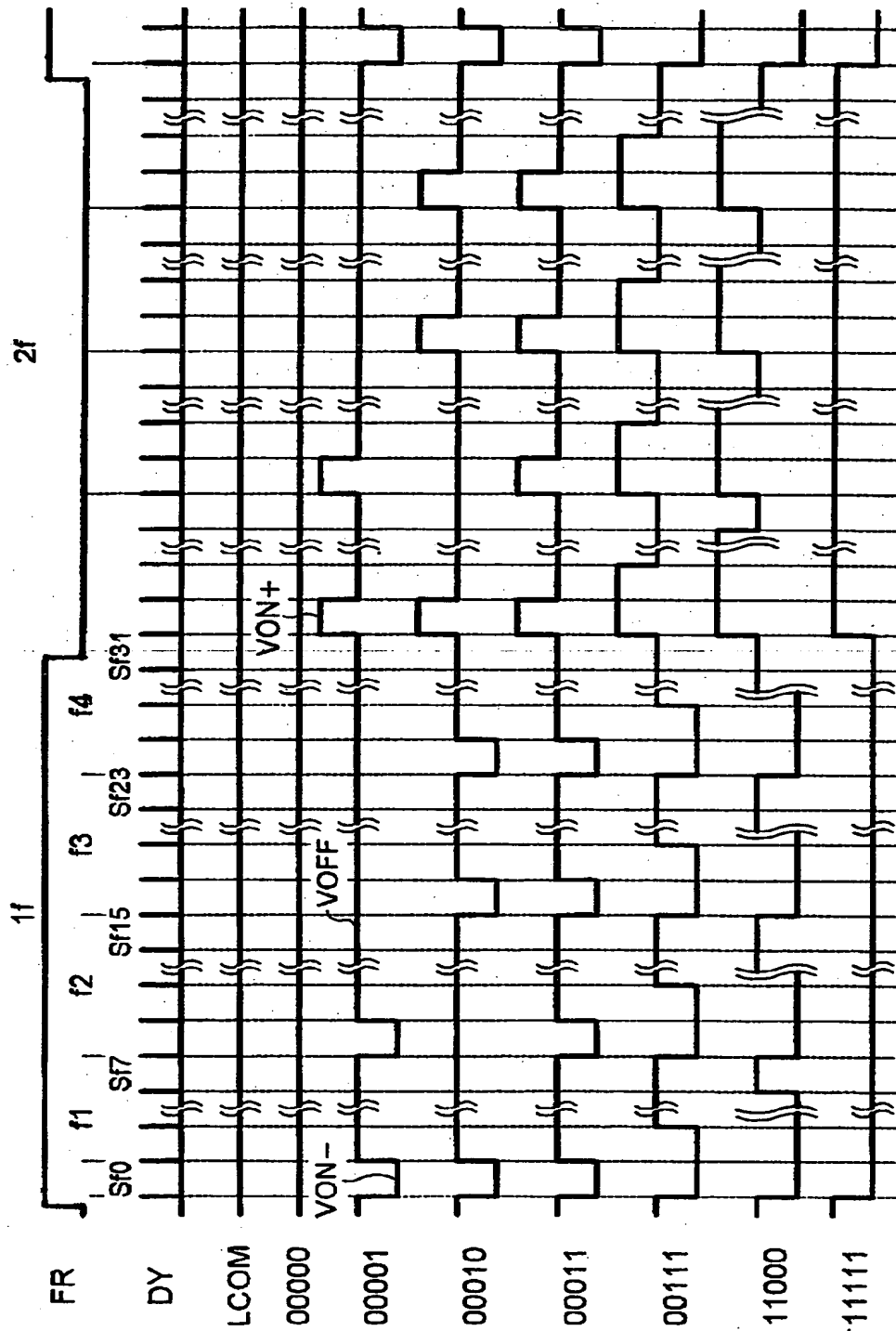
【図 1 4】

階調 データ	Sf0 on	Sf1 2a	Sf2 4a	Sf3 8a	Sf4 16a	Sf5 1b	Sf6 2b	Sf7 4b	Sf8 8b	Sf9 16b
00000	H	H	H	H	H	H	H	H	H	H
00001	L	H	H	H	H	L	H	H	H	H
00010	L	L	H	H	H	H	L	H	H	H
00011	L	L	H	H	H	L	L	H	H	H
00100	L	H	L	H	H	H	H	L	H	H
00101	L	H	L	H	H	L	H	L	H	H
00110	L	L	L	H	H	H	L	L	H	H
00111	L	L	L	H	H	L	L	L	H	H
01000	L	H	H	L	H	H	H	H	L	H
01001	L	H	H	L	H	L	H	H	L	H
01010	L	L	H	L	H	H	L	H	L	H
01011	L	L	H	L	H	L	L	H	L	H
01100	L	H	L	L	H	H	H	L	L	H
01101	L	H	L	L	H	L	H	L	L	H
01110	L	L	L	L	H	H	L	L	L	H
01111	L	L	L	L	H	L	L	L	L	H
10000	L	H	H	H	L	H	H	H	H	L
10001	L	H	H	H	L	L	H	H	H	L
10010	L	L	H	H	L	H	L	H	H	L
10011	L	L	H	H	L	L	L	H	H	L
10100	L	H	L	H	L	H	H	L	H	L
10101	L	H	L	H	L	L	H	L	H	L
10110	L	L	L	H	L	H	L	L	H	L
10111	L	L	L	H	L	L	L	L	H	L
11000	L	H	H	L	L	H	H	H	L	L
11001	L	H	H	L	L	L	H	H	L	L
11010	L	L	H	L	L	H	L	H	L	L
11011	L	L	H	L	L	L	L	H	L	L
11100	L	H	L	L	L	H	H	L	L	L
11101	L	H	L	L	L	L	H	L	L	L
11110	L	L	L	L	L	H	L	L	L	L
11111	L	L	L	L	L	L	L	L	L	L

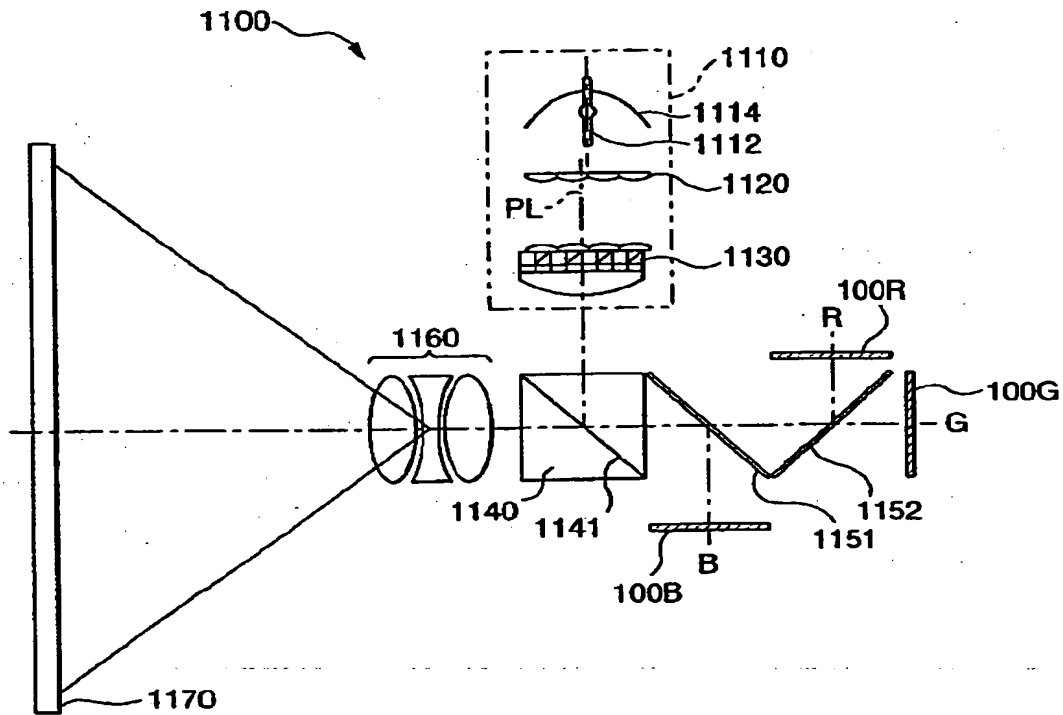
【図 1 5】



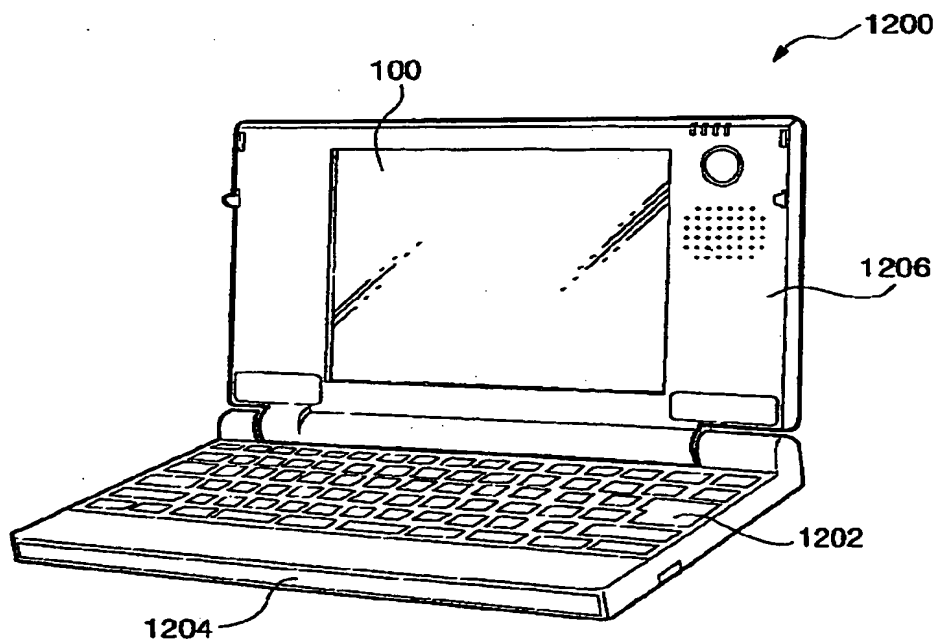
【図 16】



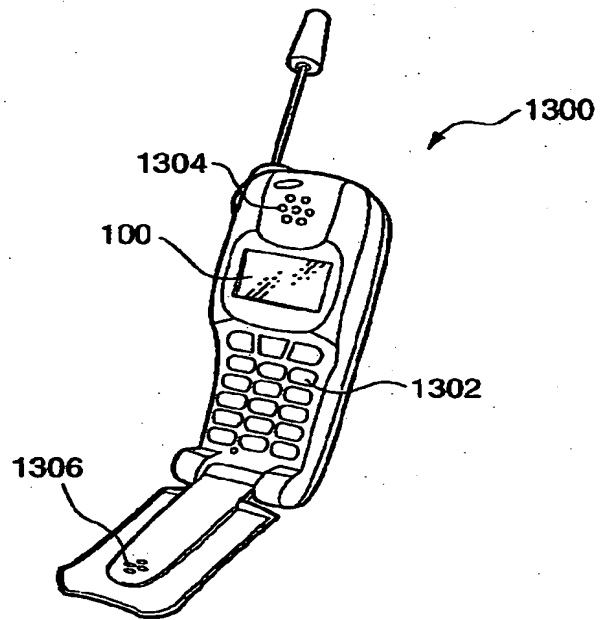
【図 1 9】



【図 2 0】



【図 21】



【書類名】 要約書

【要約】

【課題】 データ線に印加される信号を 2 値化して、高品位な階調表示を行うとともに、フリッカを防止する。

【解決手段】 データ変換回路 3 0 0 は、1 フレームを分割した複数のサブフィールドの各々において、各画素 1 1 0 をオンにする電圧またはオフにする電圧の発生を指示する 2 値信号 D s を発生する。この 2 値信号 D s は、各画素毎に、1 フレーム内において当該画素をオンにする電圧の印加時間と当該画素をオフにする電圧の印加時間との比率が当該画素に対する階調データに応じた比率となり、かつ、当該画素をオンにする電圧の印加を行うサブフィールドが 1 フレーム内において可能な限り離散されるように、各サブフィールド毎に各画素に対応した階調データから生成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社